

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: An et al.

Serial No. To be assigned

Filed: Concurrently herewith

For: FERROELECTRIC CAPACITORS INCLUDING A SEED CONDUCTIVE FILM  
AND METHODS FOR MANUFACTURING THE SAME

November 10, 2003

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

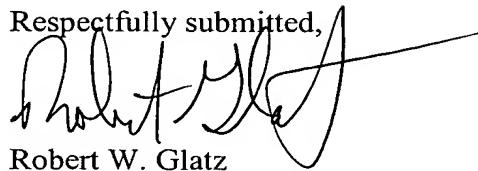
## SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

2002-0069541, filed November 11, 2002.

Respectfully submitted,

  
Robert W. Glatz  
Registration No. 36,811

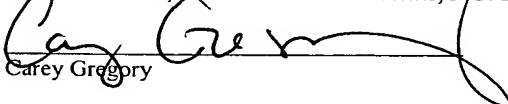
Myers Bigel Sibley & Sajovec, P.A.  
P. O. Box 37428  
Raleigh, North Carolina 27627  
Telephone: (919) 854-1400  
Facsimile: (919) 854-1401  
Customer No. 20792

## CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 193631075 US

Date of Deposit: November 10, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

  
Carey Gregory



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0069541  
Application Number

출 원 년 월 일 : 2002년 11월 11일  
Date of Application NOV 11, 2002

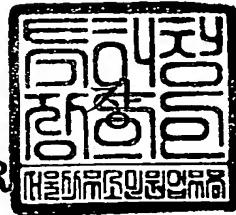
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 01 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.11.11
【발명의 명칭】	강유전체 커패시터 및 그 제조 방법
【발명의 영문명칭】	FERROELECTRIC CAPACITOR AND METHOD FOR FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	안형근
【성명의 영문표기】	AN, HYEONG GEUN
【주민등록번호】	721025-1025316
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 벽적골9단지아파트 913동 902호
【국적】	KR
【발명자】	
【성명의 국문표기】	이상우
【성명의 영문표기】	LEE, SANG WOO
【주민등록번호】	670810-7001071

【우편번호】	156-033		
【주소】	서울특별시 동작구 상도3동 영아아파트 2동 105호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	김형준		
【성명의 영문표기】	KIM, HYOUNG JOON		
【주민등록번호】	700716-1046519		
【우편번호】	156-773		
【주소】	서울특별시 동작구 사당2동 우성아파트 208동 607호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	20	면	20,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	28	항	1,005,000 원
【합계】	1,054,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명의 강유전체 커패시터는 지지 절연막 내에 형성된 하부전극 및 상기 하부전극의 노출된 표면을 덮는 종자 도전막을 포함한다. 상기 지지 절연막 전면 및 상기 종자 도전막 상에 강유전체막이 배치되고 상부전극이 상기 강유전체막 상에 배치된다. 상기 하부전극은 상기 종자 도전막 및 상기 지지 절연막에 의해 완전히 감싸여진다. 결과적으로, 상기 하부전극 및 강유전체막은 서로 직접적으로 접하지 않는다. 따라서, 본 발명에 따르면, 상기 종자 도전막 상에 신뢰성 있는 강유전체막질을 형성할 수 있고 또한 그 유효면적을 증가시킬 수 있다.

**【대표도】**

도 1

**【색인어】**

강유전체 커패시터, 강유전체 물질, 트렌치

**【명세서】****【발명의 명칭】**

강유전체 커패시터 및 그 제조 방법{FERROELECTRIC CAPACITOR AND METHOD FOR FABRICATING THE SAME}

**【도면의 간단한 설명】**

도1은 본 발명의 실시예에 따른 강유전체 커패시터를 개략적으로 보여주는 반도체 기판 일부의 단면도이다.

도2 내지 도9는 일 실시예에 따른 강유전체 커패시터를 제조하는 방법에서 공정 순서에 따른 주요 공정 단계에서의 반도체 기판의 단면도들이다.

도10 내지 도 14는 다른 실시예에 따른 강유전체 커패시터를 제조하는 방법에서 공정 순서에 따른 주요 공정 단계에서의 반도체 기판의 단면도들이다.

**\* 도면의 주요 부분에 대한 부호의 설명**

100: 반도체 기판 120: 절연막

140: 콘택 플러그 160: 지지 절연막

180: 평탄화 정지막 200: 트렌치

220, 240, 260: 하부전극막질 280a: 다층 하부전극

300a: 종자 도전막 320: 강유전체막

340a: 상부전극 360: 강유전체 커패시터

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 반도체 기억 소자 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는 강유전체 커패시터 및 그 제조 방법에 관한 것이다.

<12> 강유전체 커패시터를 이용한 반도체 기억 소자는 플래시 메모리와 같은 불휘발성 특성, 에스램(SRAM)에 버금가는 동작속도, 저전력 동작, 저전압 동작, 뛰어난 내성 등의 우수한 특성들을 동시에 가지고 있어 차세대 메모리로써 대두되고 있다. 강유전체 기억 소자는 전원 공급이 중단되더라도 데이터를 잃어버리지 않고 그대로 간직하기 때문에 불휘발성 기억 소자로서 이용될 수 있다. 이러한 강유전체 기억 소자의 불휘발성 특성은 강유전체 물질 자체의 특성에 기인한다. 강유전체 물질은 두 개의 안정된 자발 분극(Pr:Remnant polarization) 상태를 가지고 있다. 이러한 자발 분극은 외부에서 가해준 전계에 의해 자발 분극 상태가 변하고 또한 외부의 전계가 제거된 이후에도 그 분극 상태를 유지한다. 즉, 강유전체 기억 소자는 전원의 공급이 중단되어도 데이터를 소실하지 않고 유지한다.

<13> 통상적인 디램의 커패시터 구조와 유사하게, 강유전체 커패시터는 두 전극들 사이에 강유전체 물질을 포함한다. 디램 커패시터가 두 전극들 사이에 개재한 유전막에 저장된 전하로써 데이터를 저장함에 비해, 강유전체 커패시터는 두 전극들 사이에 개재한 강유전체 물질의 자발 분극 특성을 이용하여 데이터를 저장한다. 하지만, 강유전체 커패시터는 통상적인 디램 기억 소자 제조 공정에 사용

되지 않던 새로운 물질인 강유전체 물질을 사용하기 때문에, 그 제조 방법이 디램 제조 방법과는 다른 특성을 나타낸다.

<14> 예컨대, 통상적으로 디램에서 전극 물질로 사용되는 폴리실리콘이나 강유전체 물질과 매우 잘 반응을 하기 때문에, 백금(Pt)과 같은 귀금속이나 이산화 류테늄( $\text{IrO}_2$ ) 같은 도전성 산화물질을 강유전체 커패시터 전극으로 사용한다.

<15> 통상적인 강유전체 커패시터 제조 공정은, 반도체 기판 상에 하부전극 물질, 강유전체막 및 상부전극 물질을 차례로 적층한 후 이를 적층된 막질들을 식각하는 공정을 포함한다. 하지만, 백금 등의 전극물질은 식각이 잘되지 않기 때문에, 형성되는 강유전체 커패시터는 경사진 측벽 프로파일을 갖는다. 즉 커패시터 상부에서 하부로 갈수록 점점 넓어진다. 이에 따라 인접한 커패시터와의 전기적 연결이 발생할 수 있으며, 이를 피하려고 인접한 커패시터들 사이의 간격을 넓게 하면 고집적화를 이룰 수 없게 된다. 게다가, 경사진 측벽 프로파일을 갖기 때문에 전극과 접하는 강유전체막의 유효면적이 줄어들게 된다. 또한, 하부전극을 식각할 때, 강유전체막이 식각 손상을 받게 되고 이에 따라, 강유전체막의 강유전 특성이 저하되는 문제점이 발생한다.

#### 【발명이 이루고자 하는 기술적 과제】

<16> 따라서 본 발명은 이상에서 언급한 문제점을 해결하기 위해서 도출된 것으로서, 강유전체막의 유효면적이 증가된 강유전체 커패시터 및 그 제조 방법을 제공하는 데 그 목적이 있다.

<17> 본 발명의 다른 목적은 강유전체막의 막질 특성이 우수한 강유전체 커패시터 및 그 제조 방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<18> 상기 목적들을 달성하기 위한 본 발명의 강유전체 커패시터는 지지 절연막 내에 매몰된 하부전극 그리고 노출된 상기 하부전극 표면을 덮는 종자 도전막을 포함한다. 상기 하부전극은 상기 지지 절연막 및 종자 도전막에 의해서 완전히 둘러싸이는 것을 특징으로 한다. 또, 강유전체막이 상기 지지 절연막 전면 및 상기 종자 도전막 상 배치되는 것을 다른 특징으로 한다.

<19> 구체적으로, 상기 목적들을 달성하기 위한 강유전체 커패시터는, 반도체 기판 상부에 배치되고 트렌치를 구비하는 지지 절연막, 상기 트렌치 측벽 및 바닥 상에 배치되어 상기 트렌치를 채우는 하부전극, 상기 하부전극 상에 배치된 종자 도전막, 상기 종자 도전막 및 상기 지지 절연막 전면 상에 배치된 강유전체막, 상기 강유전체막 상에 배치된 상부전극을 포함한다.

<20> 상기 지지 절연막은 실리콘 산화막으로 형성될 수 있으며, 바람직하게는 상기 강유전체막과 반응을 하지 않는 안정적인 물질로 형성된다. 예컨대, 티타늄 산화막으로 형성된다. 또한 이들 막질들의 조합막으로도 형성될 수 있으며, 이 경우, 티타늄 산화막이 상기 강유전체막과 접촉하는 것이 바람직하다.

<21> 상기 강유전체막은 외부에서 가해준 전계에 의해 안정된 자발 분극 상태를 갖는 물질로 형성한다. 예컨대, 상기 강유전체막은  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3$ ,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  를 포함한다.

<22> 강유전체막의 특성은 그것이 형성되는 하부막질에 의존한다. 따라서, 상기 종자 도전막은 그것의 상부에 배치되는 상기 강유전체막이 우수한 강유전 특성을 가지면서 형성될 수 있도록 하는 도전막질로 형성된다. 바람직하게, 상기 종자 도전막은 백금으로 형성된다.

<23> 상기 하부전극은 상기 절연막을 뚫고 형성된 트렌치 내부에 배치된다. 상기 하부전극은 귀금속, 귀금속의 도전성 산화물 또는 이들의 조합막으로 형성될 수 있다. 예컨대, 상기 귀금속은 백금, 루테늄, 이리듐, 로듐, 오스뮴, 그리고 팔라듐 등을 포함한다. 상기 귀금속의 도전성 산화물은, 예컨대, 이산화 이리듐, 이산화 루테늄 등을 포함한다. 여기에 제시된 것은 단지 일 예에 불과하다.

<24> 바람직하게, 상기 하부전극은 상기 트렌치 측벽 및 바닥 상에 콘포말하게 배치된 이리듐 및 이산화 이리듐, 그리고 상기 트렌치를 채우도록 상기 이산화 이리듐 상에 배치된 백금으로 구성되고, 상기 종자 도전막은 백금이다. 여기서 '콘포말하게'가 의미하는 바는, 어떤 막질이 그것이 형성되는 하부 구조물의 윤곽을 따라 균일한 두께로 형성된다는 것이다.

<25> 상기 이리듐 및 이산화 이리듐 대신에 루테늄, 오스뮴, 팔라듐 등의 귀금속 및 이들의 도전성 산화물을 사용할 수 있다.

<26> 또, 상기 트렌치를 채우는 백금은 형성되지 않을 수도 있다. 이 경우, 상술한 귀금속이 상기 트렌치 측벽 및 바닥 상에 콘포말하게 배치되고 상기 콘포말한 귀금속 상에 상기 귀금속의 도전성 산화물이 상기 트렌치를 완전히 채우도록 배치되어 하부전극을 구성할 것이다. 또는 상기 귀금속 및 그것의 도전성 산화물이 상기 트렌치 측벽 및 바닥 상에 콘포말하게 배치되어 이중막 하부전극을 구성하

고, 상기 종자 도전막이 상기 이중막 하부전극의 노출된 표면을 덮는 동시에 상기 트렌치를 완전히 채울 수 있다.

<27> 또, 상기 트렌치를 채우는 백금 대신 다른 귀금속이 사용될 수 도 있다.

<28> 상기 트렌치 측벽 및 바닥 상에 콘포말하게 형성되는 귀금속은, 예컨대, 이리듐, 류테늄 등은 또한 산화방지막으로서의 기능을 한다. 이들 대신 TiAlN, TiN 등의 산화방지막을 사용할 수도 있다. 그리고, 상기 귀금속의 산화물은 강유전체막의 피로(fatigue) 특성을 향상시키는 기능을 하기도 한다. 즉, 상기 귀금속의 산화물은 계속되는 강유전체 기억 소자의 읽기 및 쓰기 동작에 따른 강유전체막의 열화, 예컨대, 산소 결핍을 보충한다.

<29> 이상에서 설명한 본 발명의 강유전체 커패시터는 막질 특성이 우수하고, 유효면적이 증가된 강유전체막을 구비한다.

<30> 상기 목적들을 달성하기 위한 본 발명의 강유전체 커패시터 형성 방법은, 지지 절연막 내에 트렌치를 형성하고 여기에 도전물질 채워서 하부전극을 형성하고 노출된 하부전극 표면을 덮도록 종자 도전막을 형성하는 것을 특징으로 한다. 즉, 강유전체막에 대한 식각 공정은 수행되지 않으며, 하부전극이 완전히 형성된 이후에 강유전체막이 형성된다. 따라서, 강유전체막이 식각 손상을 받지 않으며, 또한 식각 가스 분위기에 노출되지 않기 때문에 신뢰성 있는 강유전체막을 형성할 수 있다.

<31> 구체적으로, 본 발명의 일 태양에 따른 상기 강유전체 커패시터 형성 방법은, 반도체 기판 상에 지지 절연막을 형성하는 단계와, 상기 지지 절연막을 패터

넣하여 트렌치를 형성하는 단계와, 상기 트렌치를 채우는 하부전극을 형성하는 단계와, 상기 노출된 하부전극을 덮도록 종자 도전막을 형성하는 단계와, 상기 종자 도전막 및 상기 지지 절연막 전면 상에 강유전체막을 형성하는 단계와, 상기 강유전체막 상에 상부전극을 형성하는 단계를 포함한다.

<32> 상기 하부전극을 형성하기 전에, 상기 트렌치 측벽 및 바닥 상에 산화방지 막을 형성하는 단계를 더 포함할 수 있다. 이때, 상기 산화방지막은, 이리듐, 루테늄, TiAlN, TiN 등으로 형성할 수 있다.

<33> 상기 하부전극을 형성하는 단계는, 상기 트렌치를 채우도록 상기 트렌치 측벽 및 바닥 그리고 상기 지지 절연막 상에 귀금속, 귀금속의 산화물 그리고 이들의 조합막 중 어느 하나를 형성하는 단계와, 상기 지지 절연막이 노출될 때까지, 평탄화 공정을 진행하는 단계를 포함하여 이루어진다.

<34> 또는 상기 하부전극을 형성하는 단계는, 상기 트렌치 측벽 및 바닥 그리고 상기 지지 절연막 상에 콘포말하게 귀금속, 귀금속의 산화물 그리고 이들의 조합막 중 어느 하나를 형성하는 단계와, 상기 트렌치를 완전히 채우도록 희생 절연막을 형성하는 단계와, 상기 지지 절연막이 노출될 때까지 평탄화 공정을 진행하는 단계와, 잔존하는 희생 절연막을 제거하는 단계를 포함한다.

<35> 상기 종자 도전막을 형성하는 단계는, 상기 하부전극을 덮도록 상기 평탄화 공정으로 노출된 상기 지지 절연막 상에 종자용 도전물질을 형성하는 단계와, 상기 하부전극을 덮도록 상기 종자용 도전물질을 패터닝하는 단계를 포함한다.

<36> 또, 평탄화 공정의 공정 여유도(마진)를 향상시키기 위해서 상기 지지 절연막 상에 평탄화 정지막을 더 형성할 수 있다. 이 경우, 상기 평탄화 공정을 진행한 후, 상기 평탄화 정지막은 제거되는 것이 바람직하다. 따라서, 이 경우, 상기 하부전극이 상기 평탄화 정지막의 두께에 해당하는 만큼 상기 지지 절연막 표면으로부터 돌출할 것이다.

<37> 상기 지지 절연막은 실리콘 산화막 또는 티타늄 산화막으로 형성된다. 바람직하게는 티타늄 산화막으로 형성된다.

<38> 상기 평탄화 정지막은 상기 하부전극에 대해서 식각 선택비를 가지는 물질로 형성된다. 예컨대, 실리콘 질화막으로 형성될 수 있다.

<39> 상기 목적들을 달성하기 위한 본 발명의 다른 태양에 따른 강유전체 커패시터 형성 방법은, 반도체 기판 상에 지지 절연막을 형성하는 단계와, 상기 지지 절연막 상에 평탄화 정지막을 형성하는 단계와, 상기 평탄화 정지막 및 상기 지지 절연막을 패터닝하여 트렌치를 형성하는 단계와, 상기 트렌치를 채우도록 상기 트렌치 측벽 및 바닥 그리고 상기 평탄화 정지막 상에 하부전극막을 형성하는 단계와, 상기 평탄화 정지막이 노출될 때까지 평탄화 공정을 진행하여 셀 단위로 분리된 하부전극을 형성하는 단계와, 상기 평탄화 정지막을 제거하는 단계와, 상기 노출된 하부전극을 덮는 종자 도전막을 형성하는 단계와, 상기 종자 도전막 및 상기 지지 절연막 전면 상에 강유전체막을 형성하는 단계와, 상기 강유전체막 상에 상부전극을 형성하는 단계를 포함한다.

<40> 상기 방법에서, 상기 하부전극막을 형성하는 단계는, 상기 트렌치 측벽 및 바닥 그리고 상기 평탄화 정지막 상에 이리듐 및 이산화 이리듐 그리고 백금을 차례로 형성하는 단계를 포함한다.

<41> 상기 노출된 하부전극을 덮는 종자 도전막을 형성하는 단계는, 상기 지지 절연막 및 상기 하부전극 상에 종자 도전물질을 형성하는 단계와 상기 노출된 하부전극을 덮도록 상기 종자 도전물질을 패터닝하는 단계를 포함한다.

<42> 바람직한 실시예에 있어서, 상기 평탄화 정지막은 실리콘 질화막으로 형성되고, 상기 지지 절연막은 티타늄 산화막으로 형성되고, 상기 종자 도전막은 백금으로 형성되고, 상기 강유전체막은  $Pb(Zr,Ti)O_3$ 로 형성된다.

<43> 이하에서는 첨부된 도면들을 참조하여 본 발명의 실시예 들에 관하여 상세히 설명을 한다. 본 발명은 강유전체 기억 소자 및 그 제조 방법에 관한 것으로서, 특히 강유전체 커패시터 및 그 제조 방법에 관한 것이다. 따라서, 본 발명에 대한 보다 명확한 이해 및 도의 간략화를 위해서, 첨부된 도면들에는 커패시터 하나만을 도시하였다. 또한 첨부된 도면들에서 동일한 참조부호로 표시된 부재들은 동일한 구조 및 기능을 가진다.

<44> 도1은 본 발명의 바람직한 실시예에 따른 강유전체 커패시터를 개략적으로 보여주는 반도체 기판 일부의 단면도이다. 도1을 참조하여, 본 실시예에 따른 강유전체 커패시터(360)는, 순차적으로 적층된 하부전극(280a), 종자 도전막(300a), 강유전체막(320) 및 상부전극(340a)을 포함한다.

<45> 상기 강유전체 커판시터(360), 특히 하부전극(280a)은 콘택 플러그(140)를 통해서 반도체 기판(100)의 활성영역에 전기적으로 연결된다. 상기 콘택 플러그(140)는 상기 반도체 기판(100) 상에 배치된 절연막(120) 내의 소정 부분에 형성된 콘택홀(130)이 도전물질로 채워져 형성된 것이다. 다른 적절한 방식을 통해서 하부전극(280a)이 상기 반도체 기판(100)의 활성영역에 전기적으로 연결될 수 있다.

<46> 상기 하부전극(280a)은 상기 절연막(120) 상에 배치된 지지 절연막(160)이 한정하는 트렌치(200)를 채운다. 상기 지지 절연막(160)에 의해 한정된 상기 트렌치(200)는 상기 콘택 플러그(140) 상부 및 그 주위의 상기 절연막(120) 일부를 노출시킨다.

<47> 노출된 상기 하부전극(280a)의 상부 표면을 상기 종자 도전막(300a)이 덮는다. 결과적으로, 상기 하부전극(280a)은 상기 지지 절연막(160) 및 상기 종자 도전막(300a)에 의해 완전히 둘러싸이게 된다.

<48> 상기 강유전체막(320)은 상기 종자 도전막(300a) 상부 및 상기 지지 절연막(160) 전면 상에 배치되고, 상기 강유전체막(320) 상에 상부전극(340a)이 배치된다. 따라서 강유전체막의 유효면적을 증가시킬 수 있다. 예컨대, 상기 강유전체막(320)은  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3$ ,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  등으로 형성할 수 있다.

<49> 이와 같은 구조에 따르면, 강유전체막(320)이 종자 도전막(300a) 및 지지 절연막(320)과 직접 접촉하게 되고 하부전극(280a)과는 직접 접촉하지 않게 된다

따라서, 상기 트렌치(200) 내부에 배치되는 하부전극(280a)이 어떠한 물질로 형성되는 지에 영향을 받지 않고, 강유전체막(320)이 상기 종자 도전막(300a) 및 지지 절연막(160) 상에서 양호한 막질 특성을 갖도록 형성될 수 있다. 바람직하게, 종자 도전막(300a)은 백금으로 형성되고, 상기 지지 절연막(160)은 티타늄 산화막으로 형성된다. 백금 및 티타늄 산화막은 강유전체막이 안정적으로 형성될 수 있는 막으로서 그것들의 표면 상에 강유전체막이 형성될 때, 강유전체막은 우수한 막질 특성을 갖도록 형성된다.

<50> 이상에서 간단히 언급한 것 같이, 본 발명에 따르면, 상기 트렌치(200) 내부에 배치되는 하부전극(280a)은 다양한 구조를 가질 수 있다.

<51> 즉, 상기 하부전극(280a)은 귀금속 전극, 그것의 도전성 산화물 전극 또는 귀금속 전극 및 귀금속의 도전성 산화물 전극의 조합막으로 형성될 수 있다. 예컨대, 귀금속으로 백금(Pt), 루테늄(Ru), 이리듐(Ir), 로듐(Rh), 오스뮴(Oh), 그리고 팔라듐(Pd) 등을 포함한다. 도전성 산화물 전극으로 이산화 이리듐, 이산화 루테늄 등을 포함한다.

<52> 바람직하게, 상기 하부전극(280a)은 상기 트렌치 측벽 및 바닥 상에 콘포말 하게 배치된 하부 귀금속(220a) 및 상기 하부 귀금속의 도전성 산화물(240a) 및 상기 트렌치를 완전히 채우도록 상기 하부 귀금속의 도전성 산화물(240a) 상에 배치된 상부 귀금속(260a)을 포함한다. 또한 상기 하부 귀금속(220a) 및 상기 트렌치(200) 사이에 산화방지막(미도시함)이 더 배치될 수도 있다.

<53> 바람직하게, 상기 상부 귀금속(220a)은 백금이다. 이 경우 상기 상부 백금 귀금속 전극(220a)은 상술한 백금 종자 도전막(300a)과 더불어 상기 강유전체막(320)이 더욱 더 안정적으로 형성될 수 있게 한다.

<54> 상기 상부 귀금속(260a)은 형성되지 않을 수도 있다. 이 경우, 상기 종자 도전막(300a)이 하부로 연장하여 상기 트렌치(200)를 채울 수 있다. 또는, 상기 도전성 산화물(240a)이 콘포말하게 형성되지 않고 상기 트렌치(200)를 완전히 채울 수도 있다. 어느 경우이던지, 상기 종자 도전막(300a)이 노출된 하부전극 표면을 덮는다.

<55> 이상에서 설명한 상기 하부전극(280a)은 반도체 기판의 셀 어레이 영역에 규칙적으로 정렬되어 있으며, 상기 지지 절연막(160)에 의해서 인접한 것들과 전기적으로 절연되어 있다.

<56> 이와 같은 커패시터 구조에 따르면, 상기 강유전체막(320)이 상기 종자 도전막(300a)에 의해 하부전극(280a)과 분리되어 있다. 즉, 상기 강유전체막(320)과 상기 하부전극(280a) 사이에 종자 도전막(300a)이 개재하여 상기 강유전체막(320)은 상기 하부전극(280a)과 직접 접촉하지 않는다. 상기 강유전체막(320)은 상기 종자 도전막(300a)과 직접 접촉하고, 또 상기 지지 절연막(160)과도 직접 접촉한다. 따라서, 상기 종자 도전막(300a) 및 지지 절연막(160)을 적절히 선택함으로써, 하부막질에 의존하는 강유전체막의 특성 및 막질 균일도를 향상시킬 수 있다.

<57> 상기 하부전극(280a)은 스퍼터링(sputtering) 방법, 저압 화학기상증착(LP-CVD), 플라즈마 인가 화학기상증착(PE-CVD) 방법, 원자층 증착(ALD) 방법 등

을 사용하여 형성할 수 있다. 마찬가지로 상기 상부전극(340a)도 동일한 방법을 사용하여 동일한 물질로 형성될 수 있다.

<58> 이제, 상술한 바람직한 실시예에 따른 강유전체 커패시터를 제조하는 바람직한 방법들에 대하여 도2 내지 도9를 참조하여 상세히 설명한다.

<59> 먼저 도2를 참조하여, 통상적인 방법으로 소자분리 공정을 진행하여 반도체 기판(100)에 활성영역과 소자분리영역을 한정한다. 이어서 통상적인 방법으로 게이트 전극(도시하지 않음) 및 비트 라인(도시하지 않음)을 형성한 후 절연막(120)을 형성한다. 상기 절연막(120)은, 예컨대, 실리콘 산화막으로 형성되며 통상적인 방법을 사용하여 형성된다.

<60> 계속해서, 상기 절연막(120)을 패터닝하여 상기 반도체 기판(100)의 활성영역을 노출시키는 콘택홀(130)을 형성한다. 상기 활성영역은 상기 게이트 전극 일측의 반도체 기판에 형성된 소오스 영역이다. 그리고, 상기 비트 라인은 상기 게이트 전극 타측의 반도체 기판 내에 형성된 드레인 영역에 전기적으로 연결된다.

<61> 계속해서, 상기 콘택홀(130)을 채우도록 상기 절연막(120) 상에 플러그 도전물질을 형성한 후 평탄화 공정을 진행하여 콘택 플러그(140)를 형성한다. 예컨대, 상기 콘택 플러그(140)는 폴리 실리콘, 텅스텐 등으로 형성된다.

<62> 계속 해서, 상기 콘택 플러그(140) 및 상기 절연막(120) 상에 지지 절연막(160) 및 평탄화 정지막(180)을 형성한다. 상기 평탄화 정지막(180)은 후속 평탄화 공정에서 식각 저지층으로 작용하며 공정에 따라서는 형성하지 않을 수도 있다. 상기 지지 절연막(160)은 실리콘 산화막으로 형성될 수 있다. 바람직하게는,

후속 공정에서 형성되는 강유전체막과 반응을 하지 않는 안정적인 물질로 형성된다. 예컨대, 티타늄 산화막으로 형성되는 것이 바람직하다.

<63> 상기 평탄화 정지막(180)은 후속 공정으로 형성되는 하부전극에 대해서 각 선택비를 가지는 물질로 형성되는 것이 바람직하다. 예컨대, 실리콘 질화막으로 형성되는 것이 바람직하다.

<64> 다음, 도3을 참조하여, 상기 평탄화 정지막(180) 및 상기 지지 절연막(160)을 패터닝하여 상기 콘택 플러그(140) 및 그 주위의 절연막(120) 일부를 노출시키는 트렌치(200)를 형성한다. 상기 트렌치(200)가 하부전극을 한정하게 된다.

<65> 다음 공정은 하부전극을 형성하는 공정이다. 본 실시예에서는 이리듐, 이산화 이리듐 및 백금으로 이루어진 삼중막 하부전극을 형성하는 방법에 대해서 예시적으로 설명을 한다. 상술한 바와 같이 여러 다양한 하부전극 구조가 가능하며, 이러한 변형들은 당업자에 있어서 자명하다.

<66> 먼저, 도4를 참조하여, 상기 트렌치(200)를 채우도록 하부전극 물질(280)을 형성한다. 구체적으로, 상기 트렌치(200)의 측벽 및 바닥 그리고 상기 평탄화 정지막(180) 상에 콘포말하게 이리듐(220) 및 이산화 이리듐(240)을 형성한다. 계속해서, 상기 트렌치를 완전히 채우도록 상기 이산화 이리듐(240) 상에 백금(260)을 형성한다. 상기 이리듐(220)은 상기 백금(260) 및 상기 콘택 플러그(140) 사이의 반응을 방지하는 산화방지막으로서의 기능도 하고, 상기 이산화 이리듐(240)은 강유전체막의 피로(fatigue) 특성을 향상시키는 기능을 하기도 한다.

<67> 마찬가지로, 루테늄/이산화 루테늄/백금을 사용하는 경우에도, 루테늄은 장벽막으로서의 기능을 하고, 이산화 루테늄은 피로 특성을 향상시키는 기능을 한다.

<68> 다음 도5a를 참조하여, 상기 평탄화 정지막(180)이 노출될 때까지, 상기 하부전극막질들(280)에 대한 평탄화 공정을 진행한다. 그 결과, 상기 트렌치(200)내부에만 상기 하부전극막질들이 잔존하여(220a, 240a, 260a) 인접한 하부전극과 전기적으로 분리된 하부전극(280a)이 형성된다. 상기 평탄화 공정은, 예컨대, 화학적기계적 연마(CMP:Chemical mechanical polishing) 기술 또는 에치백(etch-back) 기술을 사용할 수 있다.

<69> 예컨대, 도5a에 대응하는 평면도인 도5b에 도시된 바와 같이, 상기 트렌치(200)가 사각 형태로 형성될 경우, 백금(260a)은 상기 트렌치(200)의 중심부에 사각 기둥 형태로 잔존하고, 상기 이산화 이리듐(240a)이 상기 백금(260a)을 감싸며, 상기 이리듐(220a)이 상기 이산화 이리듐(220a)을 감싸며 상기 트렌치(200)의 측벽에 접한다. 따라서, 평탄화 공정에 의해서 상기 하부전극(280a)이 노출된 형태를 살펴보면, 상기 백금(260a)은 사각형 모양이고, 상기 이산화 이리듐(240a)은 상기 사각형의 백금(260a)을 감싸는 사각형 띠 모양이고, 상기 이리듐(220a)은 상기 이산화 이리듐(240a)을 감싸는 사각형 띠 모양이다.

<70> 다음, 도6a를 참조하면, 상기 평탄화 공정을 진행한 후, 상기 노출된 평탄화 정지막(180)을 제거하여 상기 지지 절연막(160)을 노출시킨다. 상기 평탄화 정지막(180)을 실리콘 질화막으로 형성할 경우, 인산 용액을 사용하여 이를 제거한다. 상기 평탄화 정지막(180)의 제거로 인해, 제거된 평탄화 정지막(180)의 두

께만큼 상기 하부전극(280a)이 상기 지지 절연막(160)으로부터 돌출할 것이다.

도6b는 도6a에 대응하는 평면도로서, 이를 참조하면, 상기 지지 절연막(160)이 노출된 것을 또한 알 수 있다.

<71> 다음 도7a를 참조하면, 상기 노출된 하부전극(280a) 즉, 하부전극의 상부 표면 및 상기 평탄화 정지막의 제거로 인해 노출된 하부전극의 상부 측벽을 덮는 종자 도전막(300a)을 형성한다. 구체적으로, 상기 지지 절연막(160) 및 상기 노출된 하부전극(280a) 표면 상에 도전물질을 증착 한 후 사진식각 공정을 진행하여 상기 하부전극(280a)을 덮는 상기 종자 도전막(300a)을 형성한다.

<72> 상기 종자 도전막(300a)은 후속 공정에서 형성될 강유전체막이 잘 형성될 수 있는 막질로 형성된다. 예컨대, 상기 종자 도전막은 백금으로 형성되는 것이 바람직하다.

<73> 도7a에 대응하는 평면도인 도7b를 참조하면, 상기 종자 도전막(300a)을 형성한 결과, 상기 하부전극(280a)은 상기 지지 절연막(160) 및 상기 종자 도전막(300a)에 의해서 완전히 감싸여진다.

<74> 다음, 도8을 참조하여, 상기 종자 도전막(300a) 및 상기 지지 절연막(160) 전면 상에 강유전체막(320)을 형성한다. 상기 강유전체막(320)은 예컨대,  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3$ ,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  등으로 형성될 수 있다.

<75> 상기 강유전체막(320)은 콜-겔(sol-gel) 방법, 화학기상증착 방법, 스퍼터링 방법, 원자층 증착 방법 등을 사용하여 형성될 수 있다.

<76> 다음, 상기 강유전체막(320)에 대한 별도의 식각 공정을 진행하지 않고, 즉, 셀 단위 분리를 위한 식각 공정을 진행하지 않고, 증착된 상태의 강유전체막(320) 상에 상부전극 물질(340)을 형성한다. 상기 상부전극 물질(340)은 이미 설명한 하부전극과 동일한 방법을 사용하여 동일한 물질로 형성될 수 있다.

<77> 다음, 도9를 참조하여, 상기 상부전극 물질(340)을 패터닝하여 상부전극 (340a)을 형성한다.

<78> 상술한 방법에 따르면, 강유전체막이 하부전극 및 종자 도전막이 완전히 형성된 이후에 형성되기 때문에, 하부전극과 종자 도전막을 식각할 때 강유전체막이 식각 분위기에 노출되는 것을 방지할 수 있다. 게다가, 강유전체막이 셀 단위로 분리되지 않기 때문에 또한 식각 손상이 발생하지 않는다.

<79> 다음, 도10내지 도14를 참조하여 상술한 강유전체 커패시터를 제조하는 다른 방법에 대하여 설명을 한다.

<80> 앞서 도2 내지 도9를 참조하여 설명한 방법과 다르게, 종자 도전막이 트렌치 일부를 채우며, 하부전극이 귀금속 및 귀금속의 도전성 산화물의 이중막으로 형성되는데 특징이 있다. 따라서, 앞서 설명한 방법과 중복되는 내용에 대해서는 자세한 설명을 생략한다.

<81> 먼저, 도10을 참조하여, 앞서 도2 내지 도3을 참조하여 설명한 방법과 동일하게, 반도체 기판(100) 상에 절연막(120), 콘택홀(130), 콘택 플러그(140)를 형성한다. 이어서, 상기 절연막(120) 상에 지지 절연막(160)을 형성한다. 상기 지

지 절연막(160)은 티타늄 산화막으로 형성하는 것이 바람직하다. 또한 상기 지지 절연막(160)을 실리콘 산화막으로 형성할 경우, 상기 지지 절연막(160) 상에 평탄화 정지막으로서 실리콘 질화막을 더 형성하는 것이 바람직하다. 마찬가지로, 상기 지지 절연막(160)을 티타늄 산화막으로 형성할 경우에도, 평탄화 정지막을 더 형성할 수 있다.

<82> 다음, 도11을 참조하여, 상기 트렌치(200) 측벽, 바닥 그리고 상기 지지 절연막(160) 상에 하부전극물질(245)을 콘포말하게 형성한다. 계속해서, 상기 트렌치(200)를 채우도록 상기 하부전극물질(245) 상에 희생 산화막(250)을 형성한다. 상기 하부전극물질(245)은 귀금속, 귀금속의 도전성 산화물 및 이들의 조합막질 중 어느 하나로 형성된다. 예컨대, 상기 하부전극물질(245)은 이리듐(220) 및 이산화 이리듐(240)이 차례로 적층된 막질이다. 상기 하부전극물질(245)을 형성하기 전에 산화방지막을 더 형성할 수 있다.

<83> 다음, 도12를 참조하여, 상기 지지 절연막(160)이 노출될 때까지 평탄화 공정을 진행하여 상기 트렌치(200) 내부에만 상기 하부전극물질이 남도록 하여 셀 단위로 분리된 하부전극(245a)을 형성한다. 상기 평탄화 공정은 에치백 또는 화학적기계적 연마(Chemical Mechanical Polishing) 기술을 사용한다.

<84> 다음, 도13을 참조하여, 상기 트렌치(200) 내부에 잔존하는 희생 산화막(250a)을 제거한 후, 상기 트렌치(200)를 채우도록 상기 하부전극(2450a) 및 상기 지지 절연막(160) 상에 종자 도전물질(300)을 형성한다. 앞서 설명한 실시예와 달리 종자 도전물질(300)이 상기 트렌치(200) 내부에까지 형성된다. 상기 종자 도전물질(300)은 백금으로 형성된다.

<85> 다음, 도14를 참조하여, 상기 종자 도전몰질(300)을 패터닝하여 상기 하부전극(245a)을 덮도록 종자 도전막(300a)을 형성한다. 이에 따라 상기 하부전극(245a)은 상기 종자 도전막(300a) 및 상기 지지 절연막(160)에 의해 완전히 감싸여진다.

<86> 이후의 공정은 앞서 도8 및 도9를 참조하여 설명한 방법과 동일하므로 설명을 생략한다.

<87> 이상의 상세한 설명은 본 발명을 예시하고 설명하는 것이다. 또한 전술한 내용은 본 발명의 바람직한 실시 형태를 나타내고 설명하는 것에 불과하며, 전술한 바와 같이 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있으며, 본 명세서에 개시된 발명의 개념의 범위, 전술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위 내에서 변경 또는 수정이 가능하다. 전술한 실시예들은 본 발명을 실시하는데 있어 최선의 상태를 설명하기 위한 것이며, 본 발명과 같은 다른 발명을 이용하는데 당업계에 알려진 다른 상태로의 실시, 그리고 발명의 구체적인 적용 분야 및 용도에서 요구되는 다양한 변경도 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

#### 【발명의 효과】

<88> 이상에서 살펴본 바와 같이, 본 발명의 강유전체 커패시터는 지지 절연막 내에 형성된 트렌치를 채우는 하부전극 및 상기 하부전극을 덮는 종자 도전막을 구비하여, 결과적으로 상기 하부전극이 지지 절연막 및 종자 도전막에 의해 완전

히 덮인다. 이에 따라, 종자 도전막 및 지지 절연막 상에 형성되는 강유전체막의 막질 특성을 향상시킬 수 있다.

<89> 또한 본 발명의 방법에 따르면, 하부전극 및 종자 도전막이 완전히 형성된 이후에 강유전체막이 형성되고 또 강유전체막이 식각되지 않기 때문에, 강유전체막이 식각 가스에 노출되거나 식각 손상을 받지 않으며, 이에 따라 우수한 막질 특성을 갖는 강유전체막을 형성할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상부에 배치되고 트렌치를 구비하는 지지 절연막;  
상기 트렌치 측벽 및 바닥 상에 배치되어 상기 트렌치를 채우는 하부전극;  
상기 하부전극을 덮는 종자 도전막;  
상기 종자 도전막 및 상기 지지 절연막 전면 상에 배치된 강유전체막;  
상기 강유전체막 상에 배치된 상부전극을 포함하는 강유전체 커패시터.

**【청구항 2】**

제1항에 있어서,

상기 하부전극의 상부는 상기 지지 절연막의 상부보다는 더 높으며, 상기 종자 도전막은 상기 지지 절연막 상부로부터 돌출한 하부전극 부분을 완전히 감싸는 강유전체 커패시터.

**【청구항 3】**

제1항 또는 제2에 있어서,

상기 지지 절연막 및 상기 반도체 기판 사이에 배치된 절연막;  
상기 절연막을 관통하여 상기 하부전극 및 상기 반도체 기판의 활성영역을 전기적으로 서로 연결시키는 콘택 플러그를 더 포함하는 강유전체 커패시터.

**【청구항 4】**

제3항에 있어서,

상기 지지 절연막은 티타늄 산화막을 포함하는 강유전체 커패시터.

**【청구항 5】**

제1항에 있어서,

상기 종자 도전막은 백금이고, 상기 강유전체막은  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,

$(\text{Ba}, \text{Sr})\text{TiO}_3$ ,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  중 어느 하나인 강유전체 커패시터.

**【청구항 6】**

제1항 또는 제4항에 있어서,

상기 하부전극은 상기 트렌치 측벽 및 바닥 상에 콘포말하게 배치된 하부 귀금속 및 귀금속의 도전성 산화물 그리고, 상기 트렌치를 채우도록 상기 귀금속의 도전성 산화물을 상에 배치된 상부 귀금속으로 구성되고,

상기 종자 도전막은 백금인 강유전체 커패시터.

**【청구항 7】**

제6항에 있어서,

상기 상부 및 하부 귀금속은 백금, 루테늄, 이리듐, 로듐, 오스뮴, 그리고 팔라듐 중 어느 하나이고,

상기 귀금속의 도전성 산화물은 이산화 루테늄, 이산화 이리듐을 포함하는 강유전체 커패시터.

#### 【청구항 8】

제1항에 있어서,

상기 하부전극 및 상부전극은 귀금속, 귀금속의 산화물 또는 이들의 조합막 중 어느 하나인 강유전체 커패시터.

#### 【청구항 9】

제8항에 있어서,

상기 귀금속은, 백금, 루테늄, 이리듐, 로듐, 오스뮴, 그리고 팔라듐 중 어느 하나인 강유전체 커패시터.

#### 【청구항 10】

반도체 기판 상에 지지 절연막을 형성하는 단계;

상기 지지 절연막을 패터닝하여 트렌치를 형성하는 단계;

상기 트렌치 내에 하부전극을 형성하는 단계;

상기 노출된 하부전극을 덮는 종자 도전막을 형성하는 단계;

상기 종자 도전막 및 상기 지지 절연막 전면 상에 강유전체막을 형성하는 단계;

단계;

상기 강유전체막 상에 상부전극을 형성하는 단계를 포함하는 강유전체 커패시터 형성 방법.

**【청구항 11】**

제10항에 있어서,

상기 하부전극을 형성하는 단계는,

상기 트렌치를 채우도록 상기 트렌치 측벽 및 바닥 그리고 상기 지지 절연막 상에 귀금속, 귀금속의 도전성 산화물 그리고 이들의 조합막 중 어느 하나를 형성하는 단계;

상기 지지 절연막이 노출될 때까지, 평탄화 공정을 진행하는 단계를 포함하는 강유전체 커패시터 형성 방법.

**【청구항 12】**

제10항 또는 제11항에 있어서,

상기 지지 절연막은 티타늄 산화막으로 형성되고, 상기 종자 도전막은 백금으로 형성되고, 상기 강유전체막은  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3$ ,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  중 어느 하나로 형성되는 강유전체 커패시터 형성 방법.

**【청구항 13】**

제11항에 있어서,

상기 귀금속은, 백금, 루테늄, 이리듐, 로듐, 오스뮴, 그리고 팔라듐 중 어느 하나인 강유전체 커패시터 형성 방법.

**【청구항 14】**

제10항에 있어서,

상기 지지 절연막을 패터닝하기 전에 상기 지지 절연막 상에 평탄화 정지막을 형성하는 단계를 더 포함하고,

상기 하부전극을 형성하는 단계는,

상기 트렌치를 채우도록 트렌치 측벽 및 바닥 그리고 상기 평탄화 정지막 상에 귀금속, 귀금속의 산화물 또는 이들의 조합막 중 어느 하나를 형성하는 단계;

상기 평탄화 정지막이 노출될 때까지, 평탄화 공정을 진행하는 단계;

상기 노출된 평탄화 정지막을 제거하는 단계를 포함하는 강유전체 커패시터 형성 방법.

#### 【청구항 15】

제10항 또는 제14항에 있어서,

상기 지지 절연막은 티타늄 산화막으로 형성되고, 상기 종자 도전막은 백금으로 형성되고, 상기 강유전체막은  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3$ ,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  중 어느 하나로 형성되는 강유전체 커패시터 형성 방법.

#### 【청구항 16】

제14항에 있어서,

상기 평탄화 정지막은 상기 하부전극에 대해서 식각선택비를 가지는 물질로 형성되는 강유전체 커패시터 형성 방법.

**【청구항 17】**

제16항에 있어서,

상기 평탄화 정지막은 실리콘 질화막으로 형성되는 강유전체 커패시터 형성 방법.

**【청구항 18】**

제14항에 있어서,

상기 귀금속은, 백금, 루테늄, 이리듐, 로듐, 오스뮴, 그리고 팔라듐 중 어느 하나인 강유전체 커패시터 형성 방법.

**【청구항 19】**

제10항에 있어서,

상기 강유전체막은  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3$ ,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  중 어느 하나로 형성되는 강유전체 커패시터 형성 방법.

**【청구항 20】**

제11항에 있어서,

상기 종자 도전막을 형성하는 단계는,

상기 노출된 지지 절연막 및 상기 하부전극 상에 종자용 도전물을 형성하는 단계와;

상기 하부전극을 덮도록 상기 종자용 도전물을 패터닝하는 단계를 포함하는 강유전체 커패시터 형성 방법.

**【청구항 21】**

제10항에 있어서,

상기 하부전극을 형성하는 단계는,

상기 트렌치 측벽 및 바닥 그리고 상기 지지 절연막 상에 귀금속, 귀금속의 도전성 산화물 그리고 이들의 조합막 중 어느 하나를 형성하는 단계;

상기 트렌치를 완전히 채우도록 희생 산화막을 형성하는 단계;

상기 지지 절연막이 노출될 때까지, 평탄화 공정을 진행하는 단계;

잔존하는 상기 희생 절연막을 제거하는 단계를 포함하는 강유전체 커패시터 형성 방법.

**【청구항 22】**

제21항에 있어서,

상기 종자 도전막을 형성하는 단계는,

상기 트렌치를 완전히 채우도록 상기 지지 절연막 상에 종자용 도전물질을 형성하는 단계와;

상기 하부전극을 덮도록 상기 종자용 도전물질을 패터닝하는 단계를 포함하는 강유전체 커패시터 형성 방법.

**【청구항 23】**

제10항에 있어서,

상기 하부전극을 형성하는 단계는,

상기 트렌치를 채우도록 상기 트렌치 측벽 및 바닥 그리고 상기 지지 절연 막 상에 콘포말한 하부 귀금속을 형성하는 단계;  
상기 하부 귀금속 상에 콘포말한 귀금속의 도전성 산화물을 형성하는 단계;  
상기 귀금속의 도전성 산화물 상에 상기 트렌치를 완전히 채우도록 상부 귀금속을 형성하는 단계;  
상기 지지 절연막이 노출될 때까지, 평탄화 공정을 진행하는 단계를 포함하는 강유전체 커패시터 형성 방법.

#### 【청구항 24】

제23항에 있어서,  
상기 상부 및 하부 귀금속은 백금, 루테늄, 이리듐, 로듐, 오스뮴, 그리고 팔라듐 중 어느 하나이고,  
상기 귀금속의 도전성 산화물은 이산화 루테늄, 이산화 이리듐을 포함하는 강유전체 커패시터 형성 방법.

#### 【청구항 25】

제24항에 있어서,  
상기 종자 도전막 및 상부 귀금속은 백금으로 형성되고, 상기 지지 절연막은 티타늄 산화막으로 형성되고, 상기 하부 귀금속은 이리듐으로 형성되고, 상기 귀금속의 도전성 산화물은 이산화 이리듐으로 형성되는 강유전체 커패시터 형성 방법.

**【청구항 26】**

반도체 기판 상에 지지 절연막을 형성하는 단계;

상기 지지 절연막 상에 평탄화 정지막을 형성하는 단계;

상기 평탄화 정지막 및 상기 지지 절연막을 패터닝하여 트렌치를 형성하는 단계;

상기 트렌치를 채우도록 상기 트렌치 측벽 및 바닥 그리고 상기 평탄화 정지막 상에 하부전극막을 형성하는 단계;

상기 평탄화 정지막이 노출될 때까지 평탄화 공정을 진행하여 셀 단위로 분리된 하부전극을 형성하는 단계;

상기 평탄화 정지막을 제거하는 단계;

상기 노출된 하부전극을 덮는 종자 도전막을 형성하는 단계;

상기 종자 도전막 및 상기 지지 절연막 전면 상에 강유전체막을 형성하는 단계;

상기 강유전체막 상에 상부전극을 형성하는 단계를 포함하는 강유전체 커패시터 형성 방법.

**【청구항 27】**

제26항에 있어서,

상기 하부전극막을 형성하는 단계는,

상기 트렌치 측벽 및 바닥 그리고 상기 평탄화 정지막 상에 이리듐 및 이산화 이리듐을 콘포말하게 형성하는 단계와;

상기 트렌치를 채우도록 이산화 이리듐 상에 백금을 형성하는 단계를 포함하고,

상기 노출된 하부전극을 덮는 종자 도전막을 형성하는 단계는,

상기 지지 절연막 및 상기 하부전극 상에 종자 도전물질을 형성하는 단계;

상기 노출된 하부전극을 덮도록 상기 종자 도전물질을 패터닝하는 단계를 포함하는 강유전체 커패시터 형성 방법.

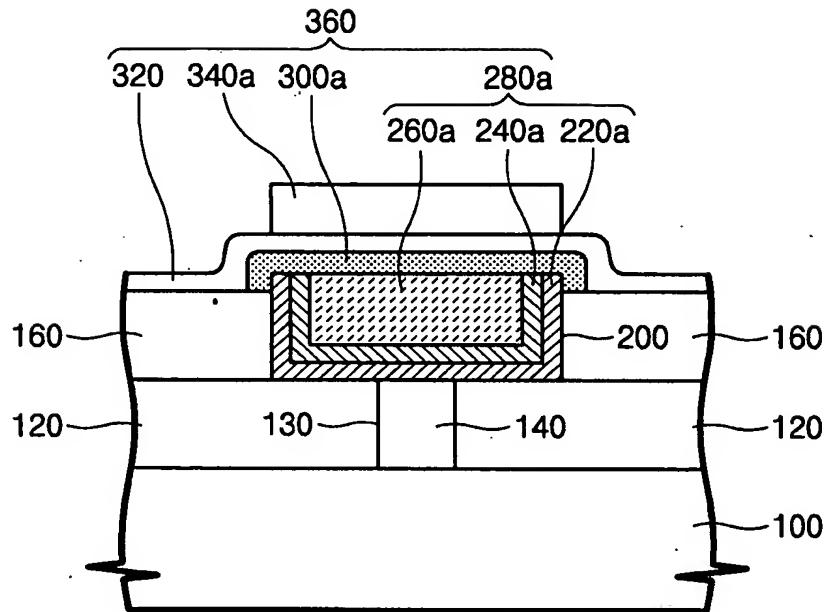
#### 【청구항 28】

제26항에 있어서,

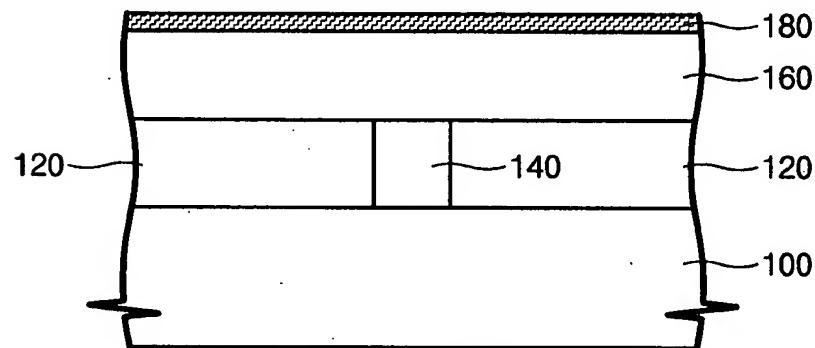
상기 평탄화 정지막은 실리콘 질화막으로 형성되고, 상기 지지 절연막은 티타늄 산화막으로 형성되고, 상기 종자 도전막은 백금으로 형성되고, 상기 강유전체막은  $Pb(Zr,Ti)O_3$ 로 형성되는 강유전체 커패시터 형성 방법.

## 【도면】

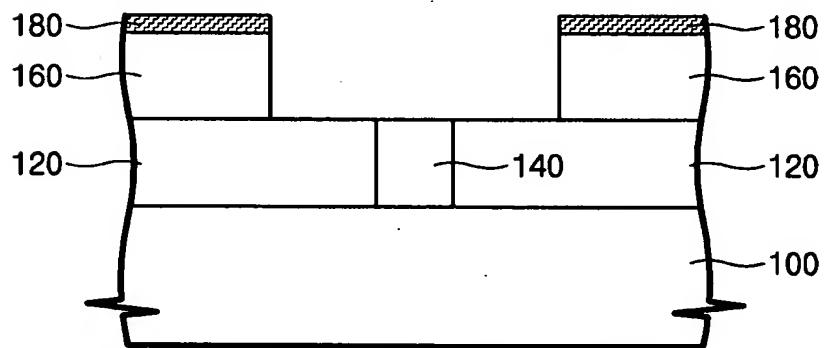
【도 1】



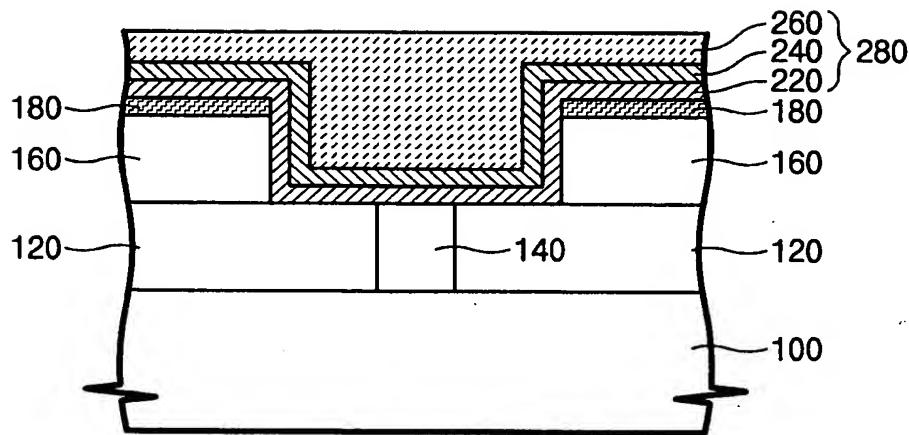
【도 2】



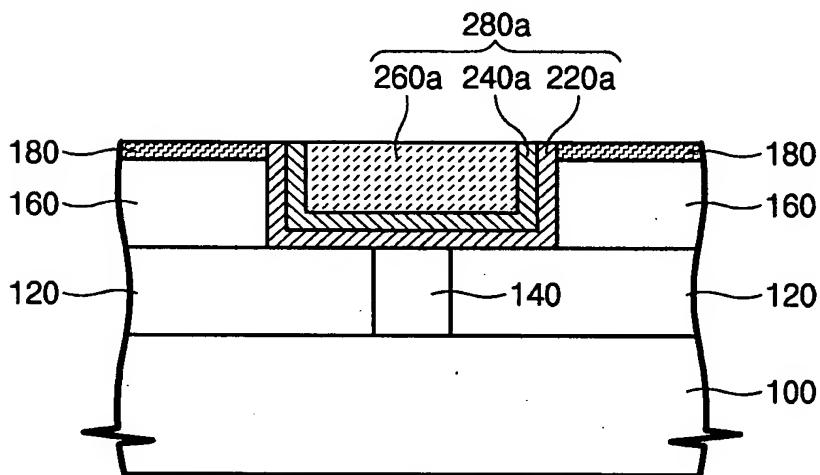
【도 3】



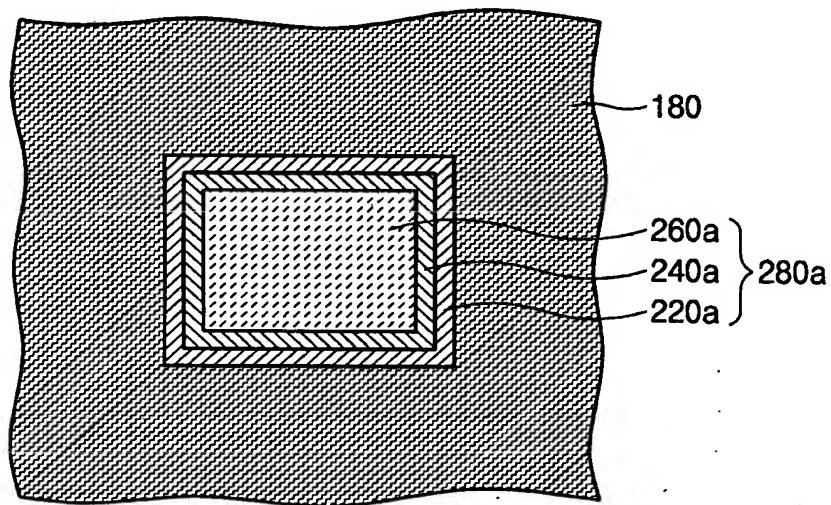
【도 4】



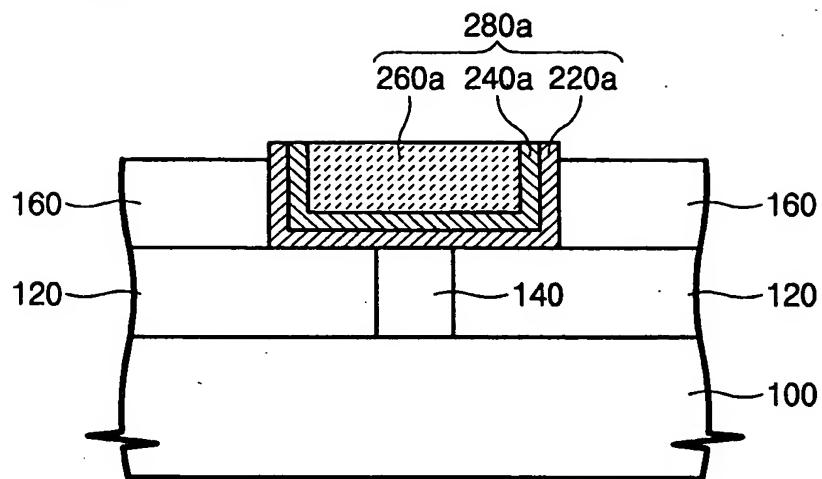
【도 5a】



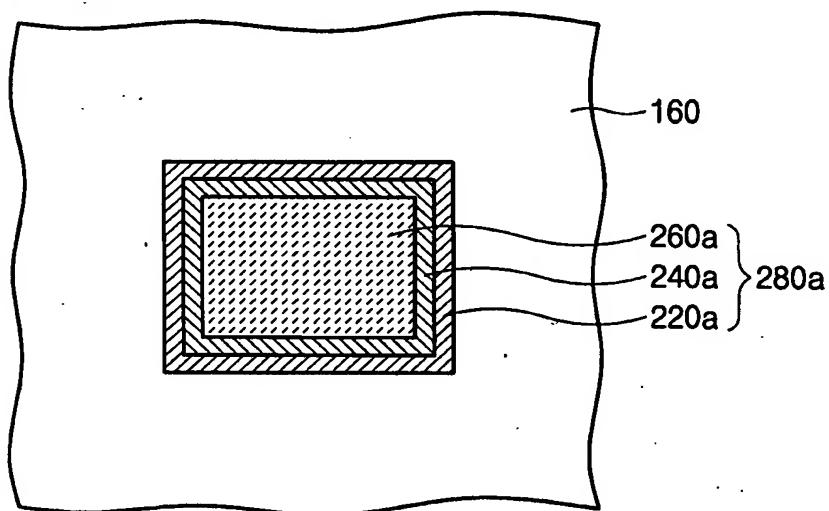
【도 5b】



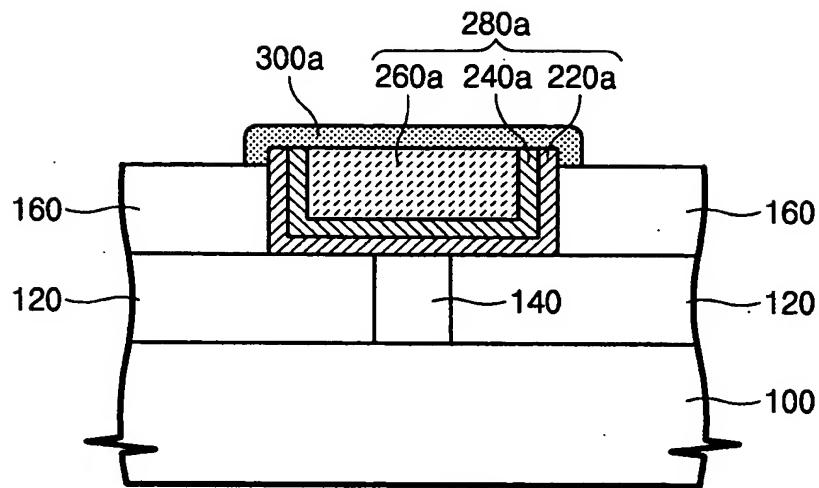
【도 6a】



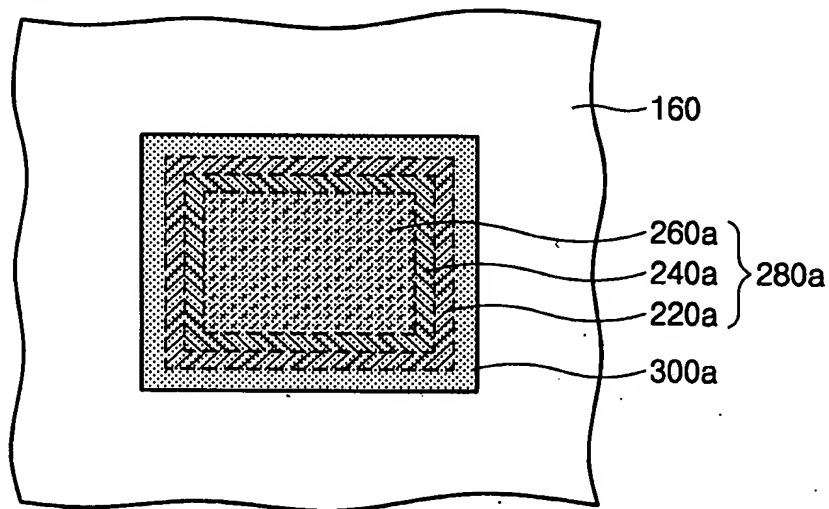
【도 6b】



【도 7a】



【도 7b】

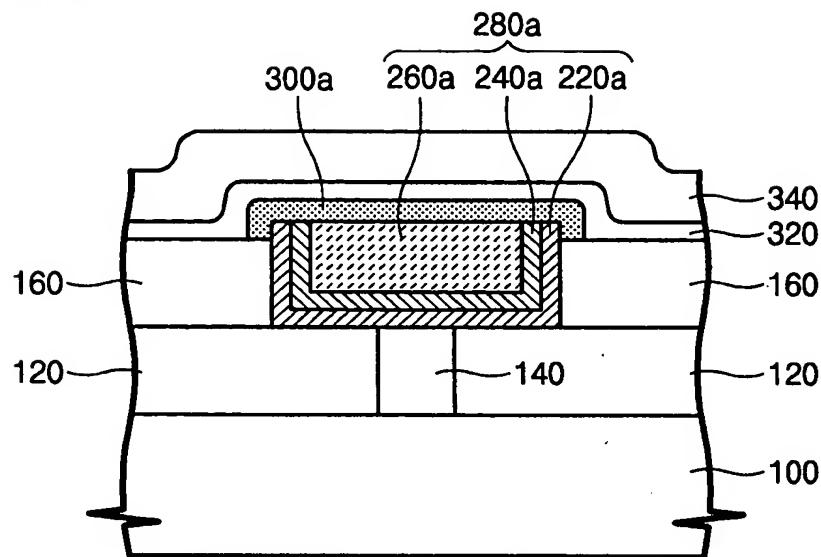




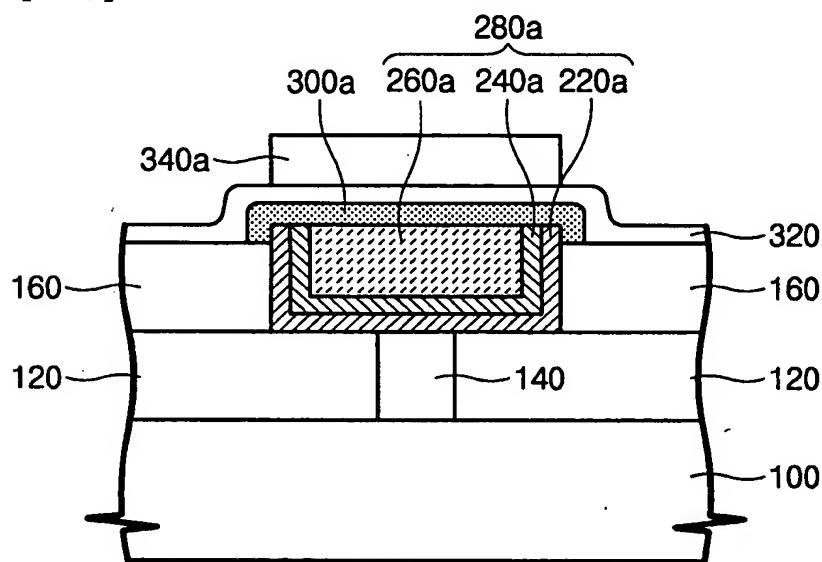
1020020069541

출력 일자: 2003/9/5

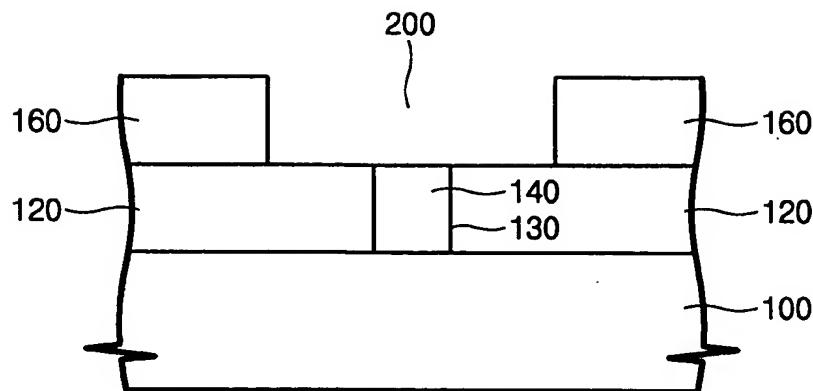
【도 8】



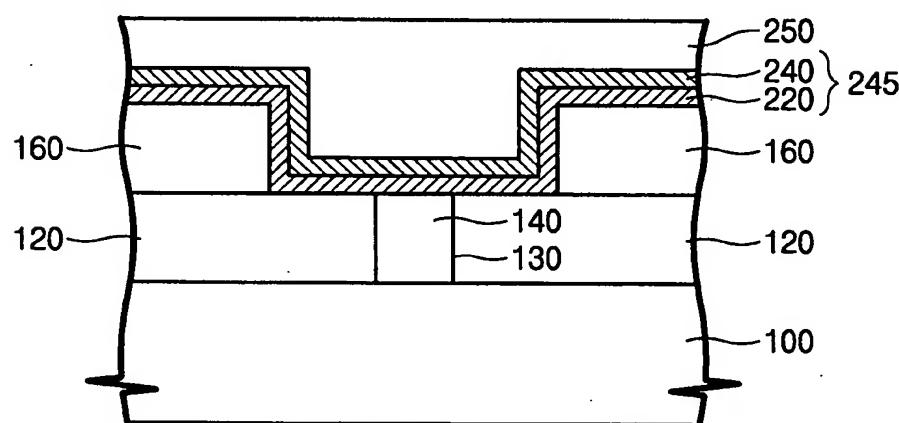
【도 9】



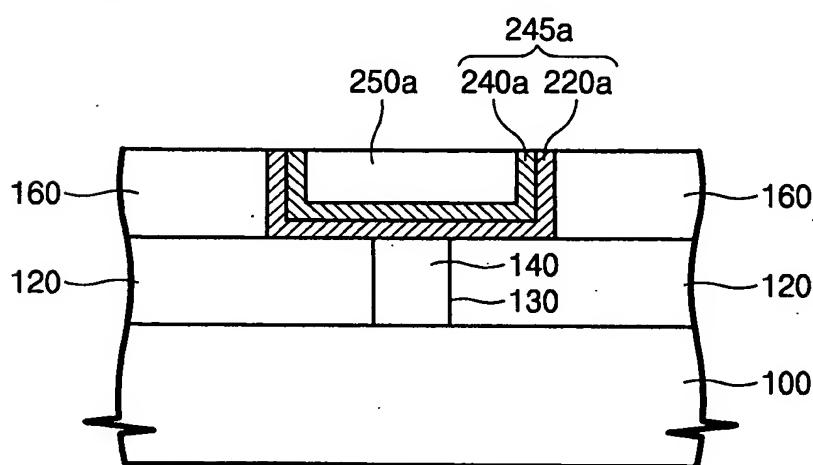
【도 10】



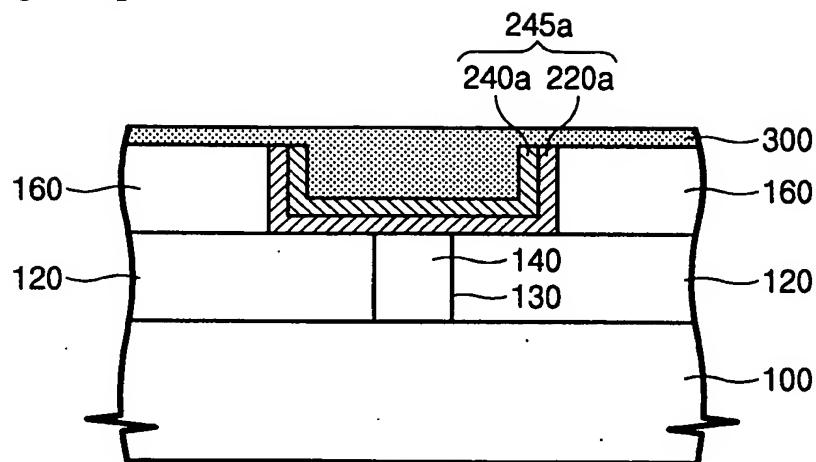
【도 11】



【도 12】



【도 13】



【도 14】

